



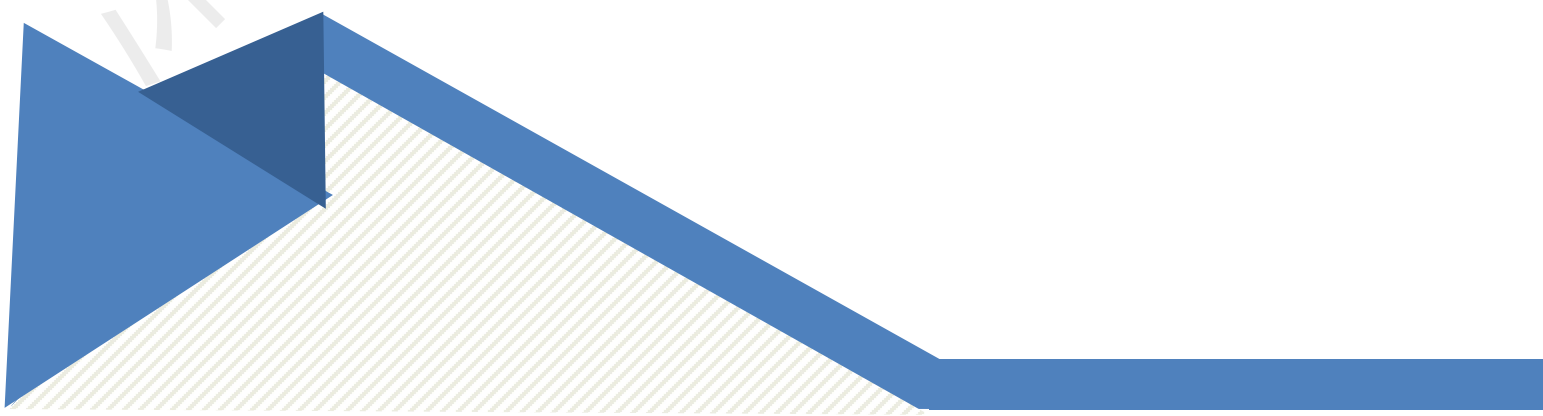
DX-SMART

DX-LR02-433T22D

模组技术手册

版本：1.1

日期：2024-03-01



更新记录

| 版本 | 日期 | 说明 | 作者 |
|------|------------|--------|-----|
| V1.0 | 2024/01/11 | 初始版本 | SML |
| V1.1 | 2024/03/01 | 优化射频参数 | SML |

联系我们

深圳大夏龙雀科技有限公司

邮箱: sales@szdx-smart.com

电话: 0755-2997 8125

网址: www.szdx-smart.com

地址: 深圳市宝安区航城街道航空路华丰智谷 A1 座 601



目录

| | |
|------------------------|--------|
| 1. 模块介绍 | - 4 - |
| 1.1. 概述 | - 5 - |
| 1.2. 特点 | - 5 - |
| 1.3. 应用 | - 5 - |
| 1.4. 功能框图 | - 6 - |
| 1.5. 基础参数 | - 6 - |
| 1.6. 传输方式 | - 7 - |
| 2. 应用接口 | - 8 - |
| 2.1. 模块引脚定义 | - 8 - |
| 2.2. 引脚定义说明 | - 9 - |
| 2.3. 电源设计 | - 9 - |
| 2.3.1. 电源接口 | - 9 - |
| 2.3.2. 电源稳定性要求 | - 9 - |
| 2.3.3. AUX 模块射频状态指示脚说明 | - 10 - |
| 2.4. 功耗 | - 10 - |
| 2.5. 硬件物理接口 | - 11 - |
| 2.5.1. 通用数字 IO 口 | - 11 - |
| 2.5.2. I2C 接口 | - 11 - |
| 2.5.3. UART 接口 | - 13 - |
| 2.5.4. SSP 接口 | - 15 - |
| 2.5.5. LPUART | - 16 - |
| 2.5.6. 模数转换器 (ADC) | - 17 - |
| 2.6. 参考连接电路 | - 19 - |
| 3. 电气特性、射频特性和可靠性 | - 20 - |
| 3.1. 最大额定值 | - 20 - |
| 3.2. 静电防护 | - 20 - |
| 4. 机械尺寸及布局建议 | - 21 - |
| 4.1. 模块机械尺寸 | - 21 - |
| 4.2. 模块俯视图/底视图 | - 22 - |
| 4.3. 硬件设计布局建议 | - 22 - |
| 5. 储存和包装 | - 23 - |
| 5.1. 存储条件 | - 23 - |
| 5.2. 包装规格 | - 23 - |



表格索引

| | |
|------------------------------|--------|
| 表 1 : 基础参数表..... | - 6 - |
| 表 2 : 引脚定义说明表 | - 9 - |
| 表 3 : 电源接口引脚定义表..... | - 9 - |
| 表 4 : 功耗表..... | - 10 - |
| 表 5 : 绝对最大额定值表..... | - 20 - |
| 表 6 : 推荐使用条件..... | - 20 - |
| 表 7 : 模块引脚的 ESD 耐受电压情况表..... | - 20 - |

图片索引

| | |
|--|--------|
| 图 1 : 功能框图 | - 6 - |
| 图 2 : 透明传输..... | - 7 - |
| 图 3 : 定点传输..... | - 7 - |
| 图 4 : 广播传输..... | - 8 - |
| 图 5 : 模块引脚定义..... | - 8 - |
| 图 6 : 突发传输电源要求..... | - 10 - |
| 图 7 : IIC 通信时序图..... | - 12 - |
| 图 8 : I2C 从机时序图..... | - 12 - |
| 图 9 : IrDA 数据调控..... | - 14 - |
| 图 10 : SSP master 与 SPI slave 之间的连接..... | - 15 - |
| 图 11 : SPI slave 与 SSP master 之间的连接..... | - 15 - |
| 图 12 : LPUART 的数据传输格式..... | - 16 - |
| 图 13 : 两个 LPUART 设备之间的连接..... | - 17 - |
| 图 14 : ADC 框图..... | - 17 - |
| 图 15 : 12 位 ADC 时序图..... | - 18 - |
| 图 16 : 典型应用电路..... | - 19 - |
| 图 17 : 串口电平转换参考电路..... | - 19 - |
| 图 18 : 建议封装尺寸俯视及底视图..... | - 21 - |
| 图 19 : 模块俯视图和底视图..... | - 22 - |
| 图 20 : 托盘尺寸 (单位: 毫米) | - 24 - |



1. 模块介绍

1.1. 概述

DX-LR02-433T22D 是一款低功耗 LoRa 模组，是深圳大夏龙雀科技有限公司为智能无线数据传输而打造，采用国产 ASR6601 SOC 芯片，芯片内部集成了 SUB 1GHz 的射频收发机、Arm China STAR-MC1 微处理器、内置 Flash 存储、SRAM。本模块支持 UART、I2C、I2S 等接口，支持 IO 口控制、ADC 采集，具有低功耗、高性能、远距离，组网等优点。适用于 IoT 领域的多种应用场景，例如智能表计、智能物流、智能建筑、智慧城市、智慧农业等诸多应用场景。

1.2. 特点

- ASR6601 SOC 芯片
- Arm China STAR-MC1 架构
- 32 位 ARM STAR 内核，最高主频 48MHz
- 高功率 PA，超大输出功率：+22dBm
- 最大接收灵敏度：-138dBm
- 支持 UART, I2C, I2S, LPUART, SSP, QSPI 等接口
- 支持休眠模式
- 外接天线
- 工作电压：3.3V-5.5 V（典型值：5V）
- 支持工作频率范围：150-960MHz
- 空旷可视距离可到 8km（仅供参考，实际距离以实测为准）
- 城市距离可到 3.8km（仅供参考，实际距离以实测为准）

1.3. 应用

- 智能表计
- 智能物流
- 智能建筑
- 智慧城市

1.4. 功能框图

下图为 DX-LR02-433T22D 模块的功能框图，阐述了其如下主要功能：

- 电源部分
- 基带部分
- 存储器
- 射频部分
- 外围接口

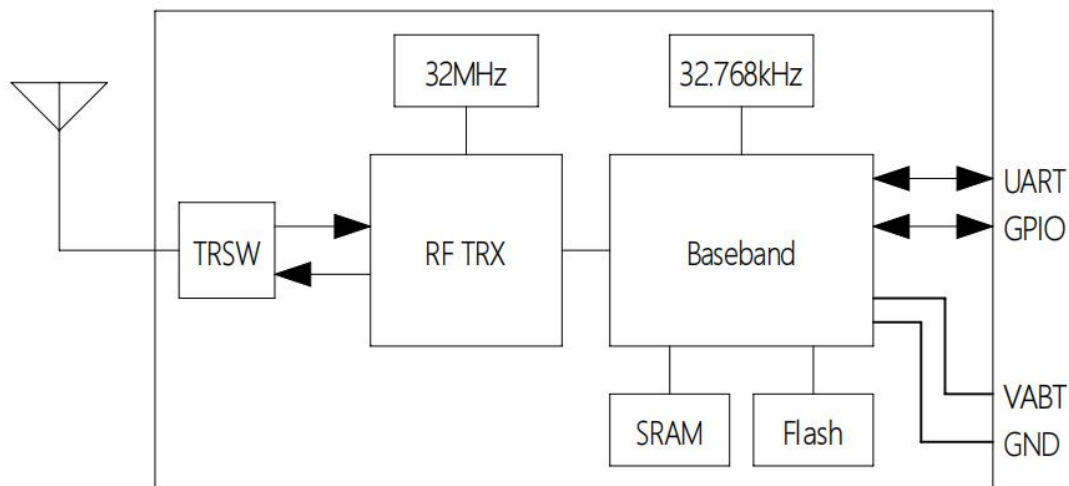


图 1：功能框图

1.5. 基础参数

表 1：基础参数表

| 参数名称 | 详情 | 参数名称 | 详情 |
|--------|-----------|------|------------------------------|
| 芯片型号 | ASR6601 | 模块型号 | DX-LR02-433T22D |
| 调制方式 | 扩频调制 | 模块尺寸 | 35.6(L) x 18 (W) x 3.2(H) mm |
| 工作电压 | 3.3V-5.5V | 协议 | LoRa 协议 |
| 灵敏度 | -138dBm | 发射功率 | 0~+22dBm |
| 射频输入阻抗 | 50Ω | 频段 | 433-475MHz |
| 天线接口 | 外接天线 | 硬件接口 | LPUART |

1.6. 传输方式

- 透明传输：发送端与接受端信道相同即可传输数据

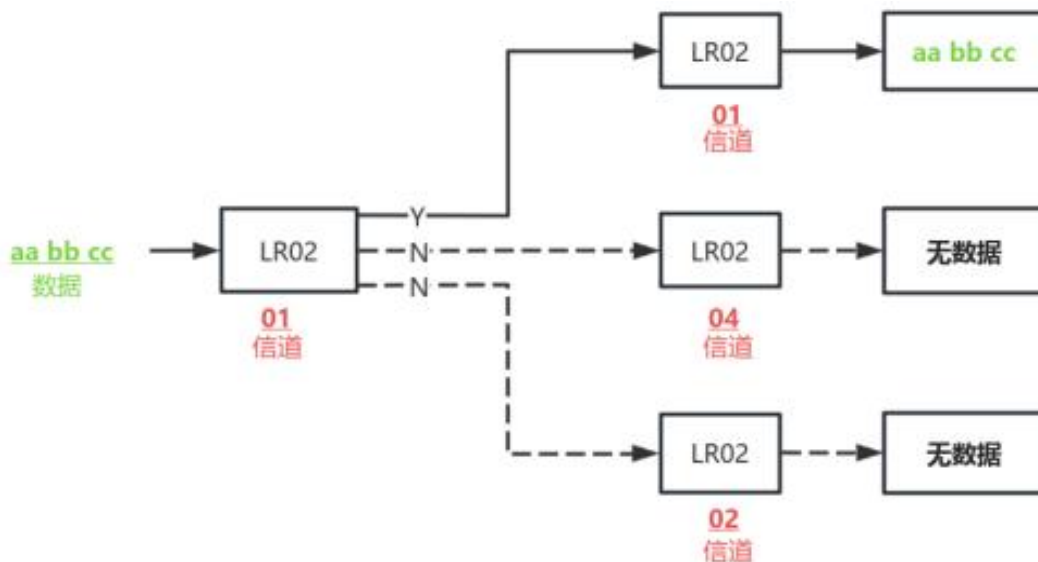


图 2：透明传输

- 定点传输：发送端发送数据时，数据内包含的目标地址、目标信道要与接收端的地址、信道相同。数据格式如：目标地址（16 进制，两字节）+目标信道（16 进制，一字节）+ 数据（16 进制）

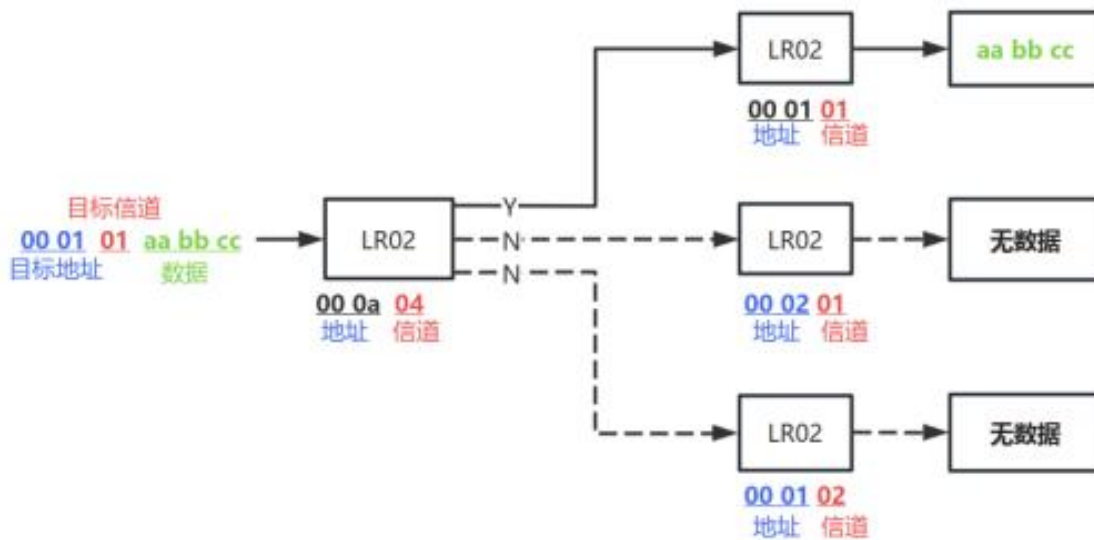


图 3：定点传输

- 广播传输：发送端发送数据时，数据内目标信道要与接收端信道相同。
数据格式如：目标信道（一字节，16 进制）+ 数据（16 进制）

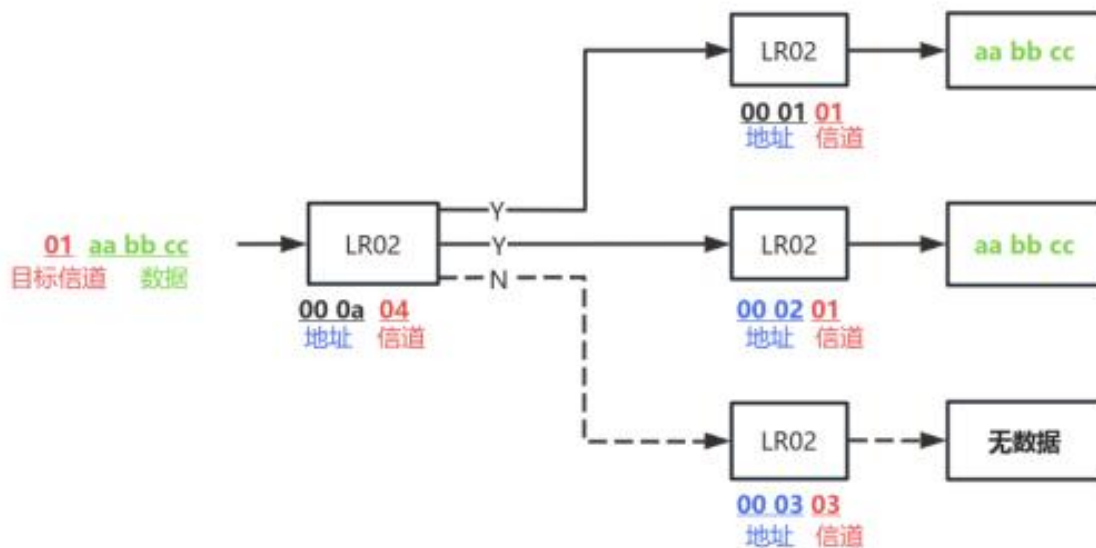


图 4：广播传输

2. 应用接口

2.1. 模块引脚定义

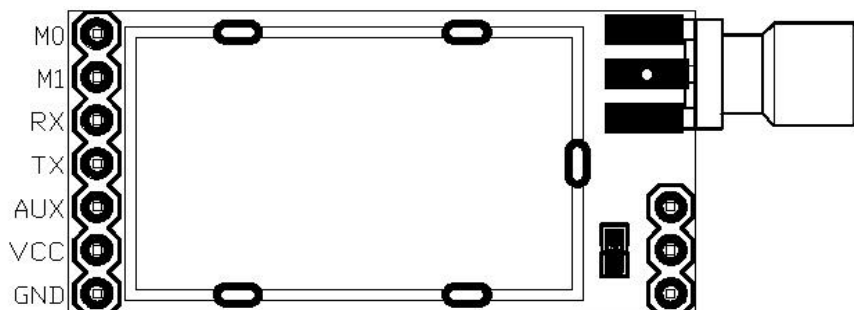


图 5：模块引脚定义



2.2. 引脚定义说明

表 2: 引脚定义说明表

| 引脚序号 | 引脚名称 | 引脚功能 | 说明 |
|------|---------|-----------|-------------|
| 1 | M0 | 预留 | 可定制 IO 口 |
| 2 | M1 | 预留 | 可定制 IO 口 |
| 3 | UART_RX | 串口数据输入 | - |
| 4 | UART_TX | 串口数据输出 | - |
| 5 | AUX | 模块射频状态指示脚 | 详情请参考 2.3.3 |
| 6 | VCC | 电源输入引脚 | 5V(典型值) |
| 7 | GND | 电源地 | - |

2.3. 电源设计

2.3.1. 电源接口

表 3: 电源接口引脚定义表

| 引脚名 | 引脚号 | 描述 | 最小值 | 典型值 | 最大值 | 单位 |
|-----|-----|------|-----|-----|-----|----|
| VCC | 6 | 模块电源 | 3.3 | 5 | 5.5 | V |
| GND | 7 | 地 | - | 0 | - | V |

2.3.2. 电源稳定性要求

DX-LR02-433T22D 的供电范围为 3.3~5.5V，需要确保输入电压不低于 3.3V。下图是在射频突发传输时 VVCC_3V3 电压跌落情况。

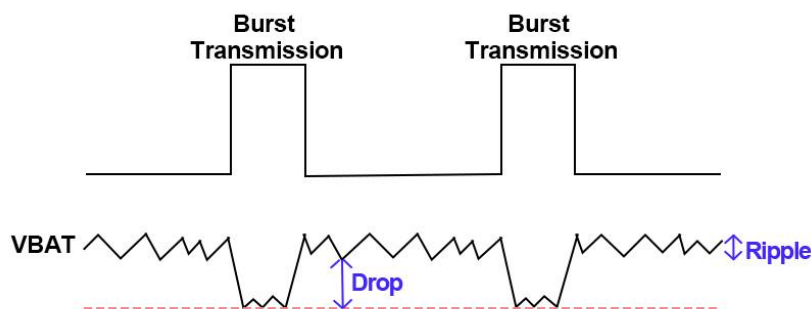


图 6: 突发传输电源要求

为了减少电压跌落，建议给 VBAT 预留 2 个(100uF、0.1uF)具有最佳 ESR 性能的片式多层陶瓷电容 (MLCC)，且电容靠近 VBAT 引脚放置。

2.3.3. AUX 模块射频状态指示脚说明

- 低电平：模块当前处于接收空闲或者数据发射空闲状态，可以进行数据发送，或者正在等待对端模块发送数据。
- 高电平：模块当前处于数据接收或者数据发送堆积状态，请等待脚位变为低电平。

2.4. 功耗

- 休眠模式：该模式下，MCU 和射频都进入休眠状态。使用串口唤醒，唤醒时需要发送 4 个字节进行唤醒。模式不进行写入保存，每次进入使用指令进入。
- 空中唤醒模式：该模式下，模块以四秒为一个周期进行 CAD 检测（整体休眠时间为：4s 减去 CAD 检测时间），如模块检测到数据，将会进入接收模式，接收完数据后，自动进入休眠。休眠期间，射频休眠，MCU 不休眠。该模式可以进行写入保存。
- 高时效模式：该模式下，模块一直处于接收状态，随时可以接收到其他设备的数据。当模块串口接收到主控的数据时，即切换到发射状态，将数据发射出去，发射完成后，切换回接收状态。

表 4: 功耗表

| 工作状态 | 状态 | 电流 | Unit |
|--------|----|--------|------|
| 休眠模式 | 待机 | 188.47 | uA |
| | 待机 | 4.54 | mA |
| 空中唤醒模式 | 传输 | 45.54 | mA |
| | 接收 | 8.43 | mA |



| | | | |
|-------|----|-------|----|
| 高时效模式 | 待机 | 12.81 | mA |
| | 传输 | 40.14 | mA |
| | 接收 | 11.81 | mA |

2.5. 硬件物理接口

2.5.1. 通用数字 IO 口

模块中定义了 20 个通用数字 IO 口。所有这些 IO 口都可以通过软件进行配置，实现各种功能，如按钮控制、LED 驱动或主控制器的中断信号等。不使用时保持悬空。

2.5.2. I2C 接口

ASR6601 包括一个 I2C 主机模式，支持标准速率模式(100Kbps)和快速模式(400Kbps)，并且支持多主机和总线仲裁功能。其中 SDA 为数据传输线，SCL 为参考时钟线。

当软件开始执行读或者写操作，I2C 从默认的从机接收模式切换到主机发送模式。Start 条件之后跟着 7 位的从机地址和 1 位的 R/nW。当接收到 ACK 后，I2C 进入以下两种模式之一：主机发送模式-写数据，主机接收模式-读数据。

CPU 写 I2Cx_CR 寄存器来开始一次主机事务。其中 FIFO 模式只能在主机模式被使用。FIFO 模式可以用于发送和接收，以帮助减少 I2Cx_DBR 寄存器空中断和满中断，FIFO 允许读取和写入多个字节而不需要在每个字节操作之后中断 CPU。

图 8 显示了 I2C 时序图，时序图与 I2C 从机时序图相同。

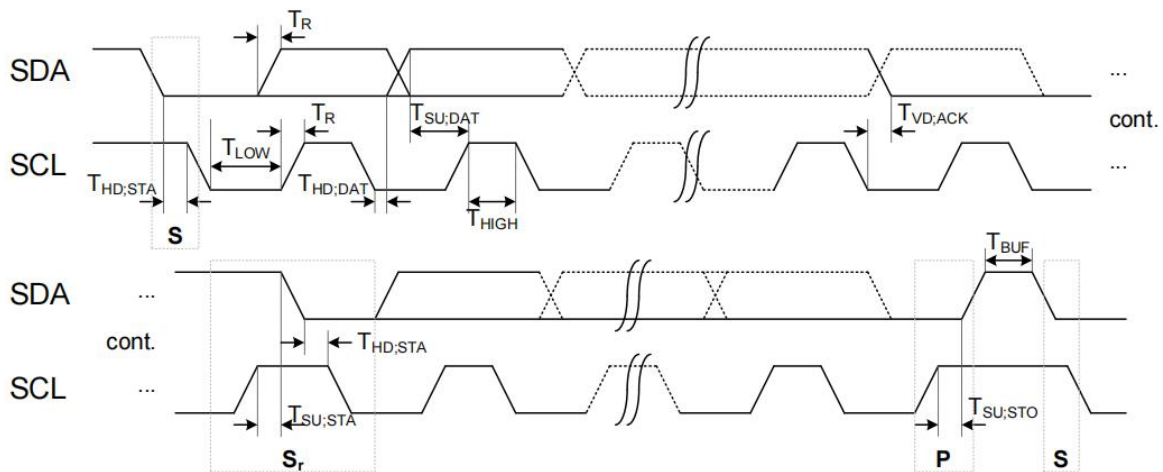


图 7: I2C 通信时序图

ASR6601 还包括一个 I2C 从机模式，支持标准速率模式(100Kbps)和快速模式(400Kbps)。

其中从机接收为默认模式，I2Cx_CR{UE}必须置 1，I2C 监视总线上的 Start 条件。若检测到 Start 条件，接口读取前 8 位数据，并把前 7 位与自身从机地址做比较，若匹配则响应 ACK 若首字节的第 8 位 (R/nW) 为低，那么 I2C 保持在从机接收模式，并把 I2Cx_SR{SAD}清 0。若 R/nW 为高，I2C 切换到从机发送模式，并把 I2Cx_SR{SAD}置 1。

作为接收从机，I2C 在 SCL 为高的时候将 SDA 线拉低产生 ACK，发送给主机。

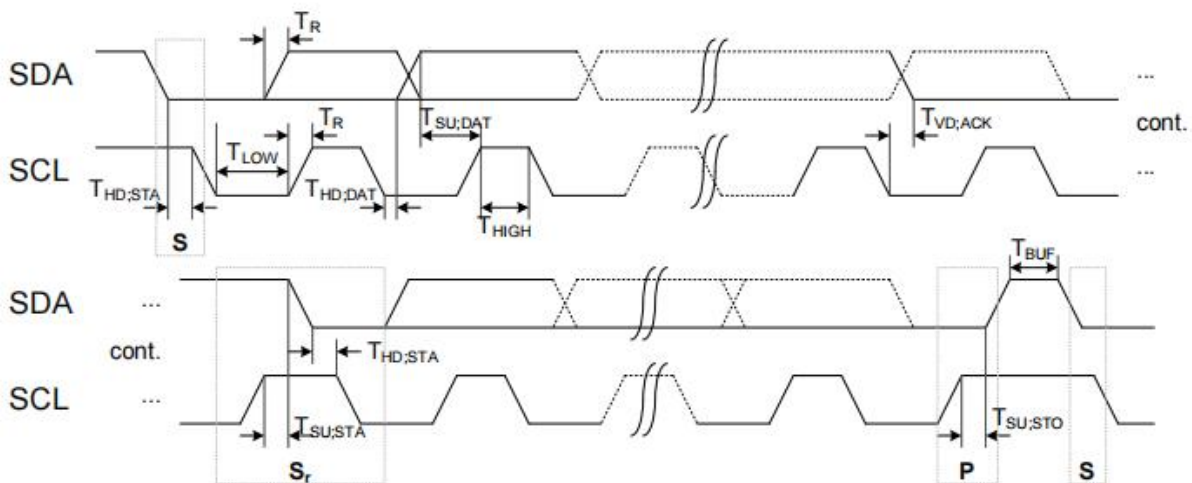


图 8: I2C 从机时序图

2.5.3. UART 接口

ASR6601 支持 UART 和 IrDA 模式。发送与接收的 FIFO 独立，16 位波特率除数整数部和 6 位波特率除数小数部。标准异步通信位，支持 5、6、7 和 8 位数据，支持奇偶校验，支持 1 个或者 2 个停止位。支持 DMA，支持假开始位检测，支持 Line Break 产生与检测，支持硬件流控。可通过 ID 寄存器唯一地识别每个 UART 端口。

UARTCLK 的频率必须要满足波特率产生的要求： $F_{UARTCLK}(\min) \geq 16 \times \text{baudrate}(\max)$ ， $F_{UARTCLK}(\max) \leq 16 \times 65535 \times \text{baudrate}(\min)$ 。

例如，要产生介于 110 到 460800 之间的波特率，UARTCLK 的频率必须要介于 7.3728MHz 与 115.34MHz 之间。

同时，UARTCLK 不能大于 5/3 倍 PCLK： $F_{UARTCLK} \leq 5/3 * F_{PCLK}$ 。

发送与接收的 FIFO 独立，通过线控寄存器 $UARTx_LCR_H(FEN)$ 选择开启或者关闭。发送 16 x 8，接收 16 x 12，接收 FIFO 每个字符有 4 个位的状态码，FIFO 水位可通过 FIFO 中断水位选择寄存器 $UARTx_IFLS$ 配置为 1/8、1/4、1/2、3/4 和 7/8，当 FIFO 禁用时相当于深度 1。FIFO 状态通过查询标志寄存器 $UARTx_FR$ 获取。

IrDA SIR ENDEC 提供了在 UART 数据流和半双工串行 SIR 接口之间转换的功能，将数据从 UART 编码输出和解码输入到 UART，有两种模式：

IrDA 模式，逻辑 0 电平被转换为高电平脉冲，宽度为 $nSIR_{OUT}$ 波特率比特周期的 3/16，逻辑 1 电平被转换为低电平。

Low-Power IrDA 模式，发送的高电平脉冲宽度为内部 $IrLP_{Baud16}$ 周期的 3 倍（1.63us，假定名义频率为 1.842MHz）。IrDA SIR 物理层为半双工的通信链接，发送与接收之间切换至少要保持 10ms 的延时。这个延时必须由软件完成，因为 UART 不支持自动延时。

下图展示了 IrDA 3/16 数据调制的效果：

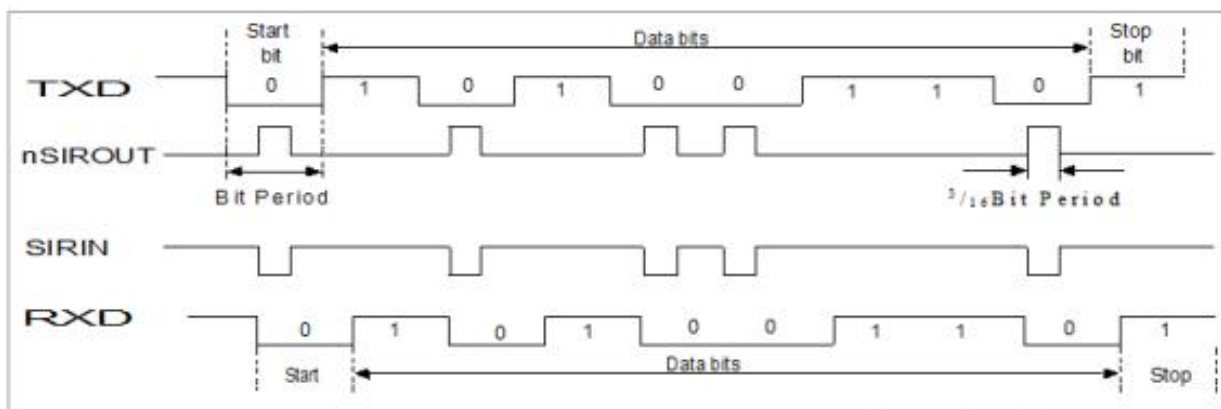


图 9: IrDA 数据调控

通过 UARTx_CR{UARTEN}使能 UART，通过线控寄存器 UARTx_LCR_H 的配置数据位、停位、奇偶校验等参数。

当接收为空闲，UARTRXD 拉低，Baud16 使能接收计数器开始计数，UART 模式在第 8 个计数周期开始采样。IrDA 模式在第 4 个计数周期开始采样，以允许更短的逻辑 0 脉冲。

若 UARTRXD 在第 8 个计数周期仍保持为低，那么有效的 start 位被检测到，否则判定为假 start，并且被忽略。

若 start 位有效，接着每 16 个 Baud16 周期进行一次数据采样，长度由 UARTx_LCR_H{WLEN} 决定。如果使能了奇偶校验，会进行奇偶校验位的比对。

最后，当 UARTRXD 变高，有效的 stop 位被确认到，否则发生帧错误。完整接收的字符与错误位一起被存入接收 FIFO。

2.5.4. SSP 接口

ASR6601 支持 SSP 接口，它是一种同步串行接口，支持 MASTER 和 SLAVE 模式。支持多种帧格式，并且可以根据需要配置数据宽度和输出速率。其中最大支持 16MHz 输出，并且支持 16-bit 宽，深度为 8 的 TX/RX FIFO。

SSP 主要有 4 个 pin：SSP_NSS，SSP_CLK，SSP_TX 和 SSP_RX。

- SSP_NSS：SSP 片选信号，低有效。
- SSP_CLK：SSP 时钟信号，对 MASTER 模式来说是时钟输出，对 SLAVE 模式来说是时钟输入。
- SSP_TX：SSP 发送信号，无论 MASTER 模式还是 SLAVE 模式，均为发送 pin。
- SSP_RX：SSP 接收信号，无论 MASTER 模式还是 SLAVE 模式，均为接收 pin。

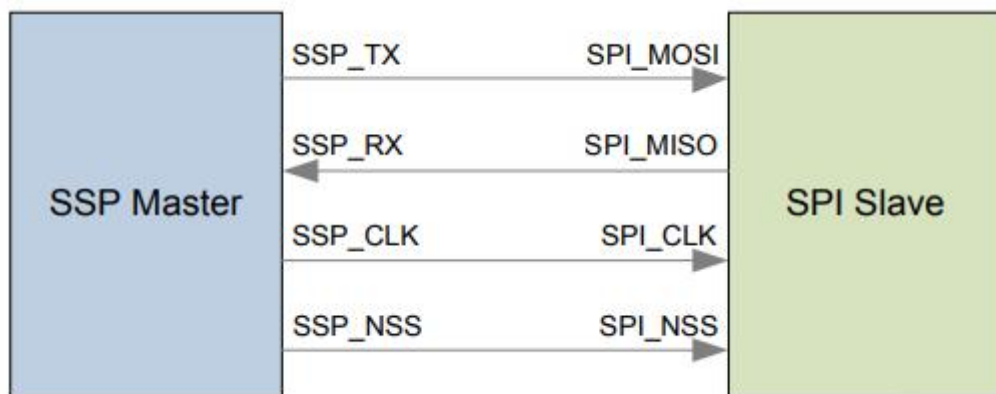


图 10：SSP master 与 SPI slave 之间的连接

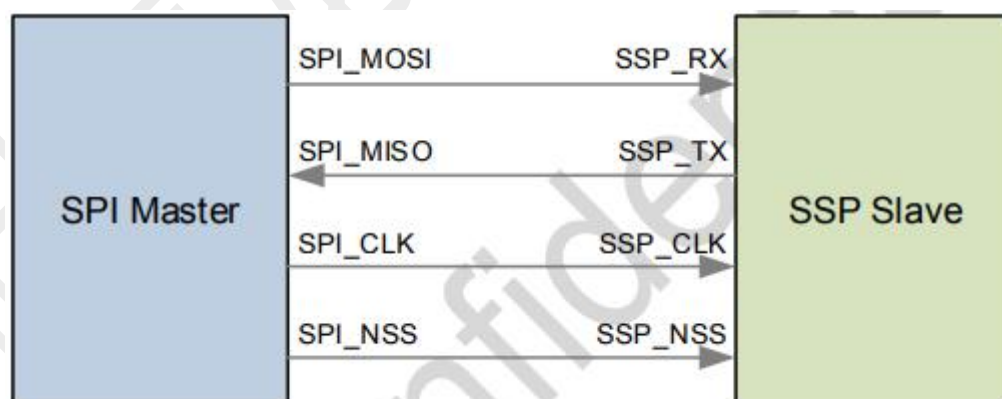


图 11：SPI slave 与 SSP master 之间的连接

SSP 时钟约束条件：

- 最大支持的输出时钟为 16MHz

- MASTER 模式下时钟最大为 PCLK 的 1/2
- SLAVE 模式下时钟最大为 PCLK 的 1/12

SSPCLK 为 SSP 的接口时钟， SSPCLKOUT 为 SSP 的输出时钟。以默认 24MHz 为例，如果要输出 1MHz 的时钟，设置 CPSDVR 为 2，设置 SCR 为 11。

2.5.5. LPUART

ASR6601 包括 LPUART 接口，它是一种低功耗的串口外设，32K 时钟下波特率最高支持 9600。在极低功耗模式下，LPUART 也可以被接收到的数据唤醒。LPUART 支持 CTS/RTS 流量控制和 DMA 请求。



图 12: LPUART 的数据传输格式

在空闲时，LPUART 的数据线应该保持在高电平。在数据传输时，依次传输起始位 (START)，数据位 (DATA)，奇偶校验位 (PARITY) 和停止位 (STOP)。

各个位的含义如下：

- 起始位：先发送一个 0 信号，表示数据传输开始。
- 数据位：根据配置，依次传输 5-8 个 bit。
- 奇偶校验位：数据位后，传输一个 bit 的奇偶校验位，也可以配置为无奇偶校验位。
- 停止位：数据传输结束的标志，可以是 1 或者 2 个 bit。

LPUART 波特率的配置支持小数分频，其主要通过 LPUART_BAUD_RATE_INT 和 LPUART_BAUD_RATE_FRA 两个寄存器来配置。以 LPUART 接口时钟频率为 32.768KHz，波特率为 9600 为例，分频系数为 $32768/9600=3.413$ ，则寄存器 LPUART_BAUD_RATE_INT 配置为 3，寄存器 LPUART_BAUD_RATE_FRA 配置为 7 ($0.413*16=6.608$ ，四舍五入为 7)。

两个 LPUART 之间的连接如下图：

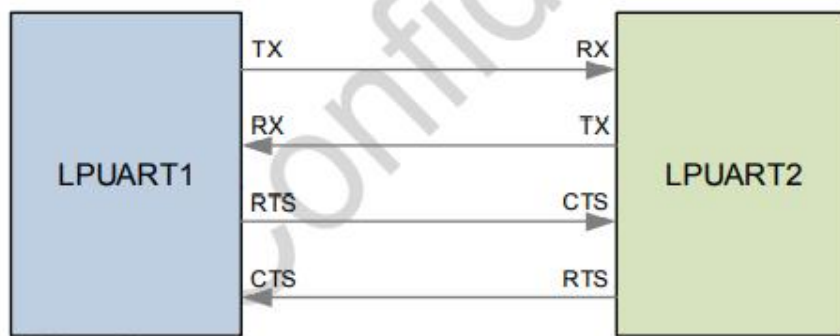


图 13: 两个 LPUART 设备之间的连接

其中 RTS 为输出信号，用于指示本设备准备好可接收数据，低电平有效，低电平说明本设备可以接收数据。CTS 为输入信号，用于判断是否可以向对方发送数据，低电平有效，低电平说明本设备可以向对方发送数据。

LPUART 的低功耗唤醒包括 RX 低电平唤醒，有效 START 唤醒，RX_DONE 唤醒。通过配置 LPUART_CR0 寄存器的 LPUART_WAKEUP_EN 位来使能唤醒方式。

2.5.6. 模数转换器 (ADC)

ADC 是 12 位模数转换器，其中支持 8 个外部通道，7 个内部通道，内部通道可采集 VBAT/3，最高支持 1M 采样率。支持单端和差分两种模式，单端量程 0.1V~1.1V，差分量程-1.0~1.0V。可配置 16 个采样序列，支持连续、单次、非连续采样方式。支持软件触发和硬件触发，触发源可配。支持 DMA 请求和中断请求。

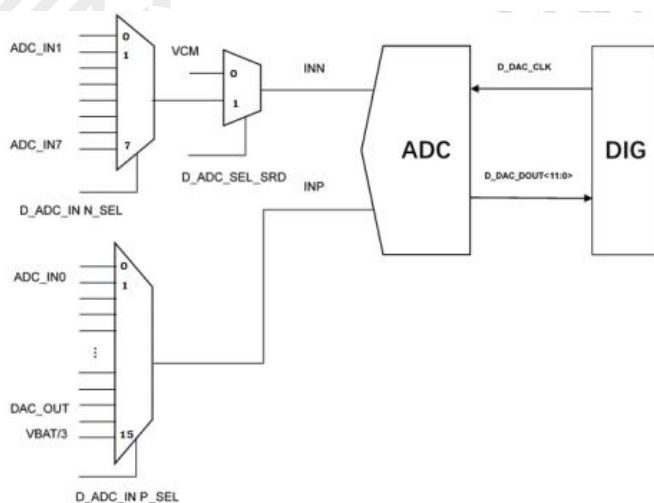


图 14: ADC 框图

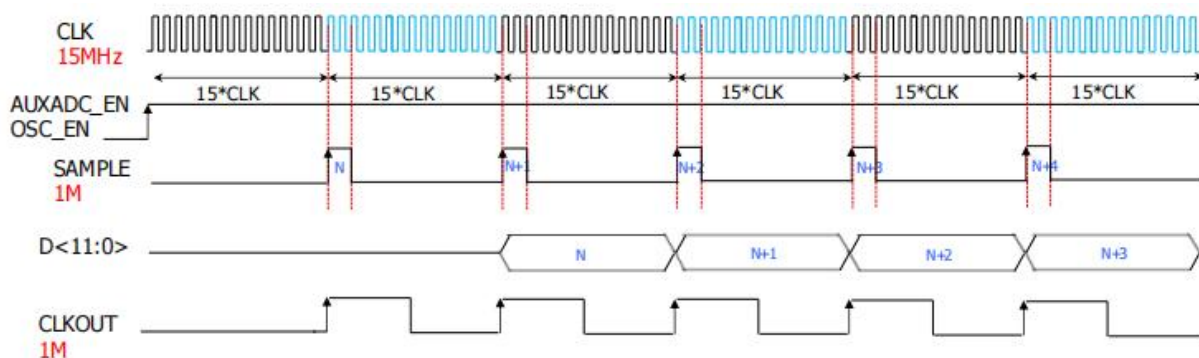


图 15：12 位 ADC 时序图

支持配置为单端与差分模式。外部通道支持单端与差分模式，内部通道只支持单端模式。差分分为固定组合，不支持随意配对，其中 0/1 通道为一组，2/3 通道为一组，4/5 通道为一组，6/7 通道为一组。单端和差分仅在采样阶段控制不同，保持阶段没有区别，最后的数据中差分输入最高位为符号位（11bit 数据位，1 个符号位），单端输入为 12bit 数据位，没有符号位。通过采样通道差分/单端选择寄存器 ADC_DIFFSEL 配置输入模式。

通过 ADC_CFGR{CONV_MODE} 配置采样模式：支持采样序列配置，采样序列最多 16 个通道，单端和差分通道都可以配置。差分模式，采样序列仅配置 P 端即可。采样通道可以重复配置相同通道以决定每次序列多次采样该通道。通过通道采样序列控制寄存器 ADC_SEQR0 和 ADC_SEQR1 配置采样序列，每 4 位配置 1 个采样通道，两个 32 位寄存器共 64 位，最多可以配置 16 个采样通道。

- 连续采样：一旦触发有效，则开始连续地转化选定的输入序列，每轮循环完成后自动开始新一轮循环，直到软件配置 stop。
- 单次采样：每次触发执行一次采样序列循环，采样完成自动结束。
- 非连续采样：序列中的每一次 ADC 转化都需要硬件或软件触发，如果一个序列完后，再次触发又从该序列的开头开始；而连续和单次模式，每次触发都会完成一个完整序列。



2.6. 参考连接电路

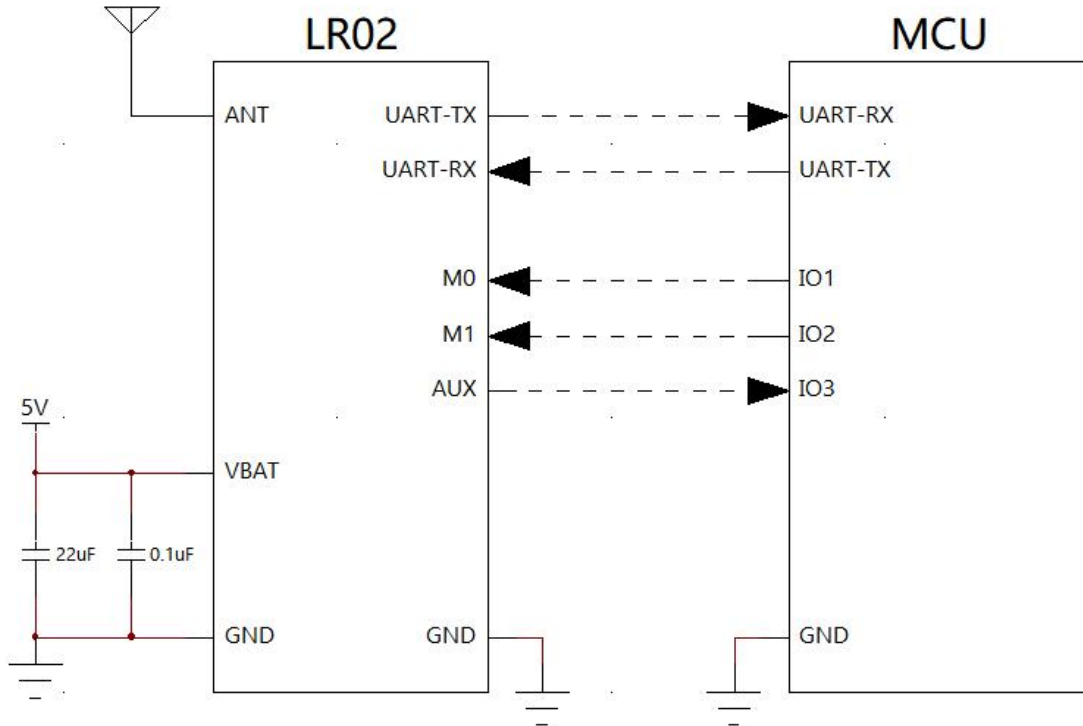


图 16: 典型应用电路

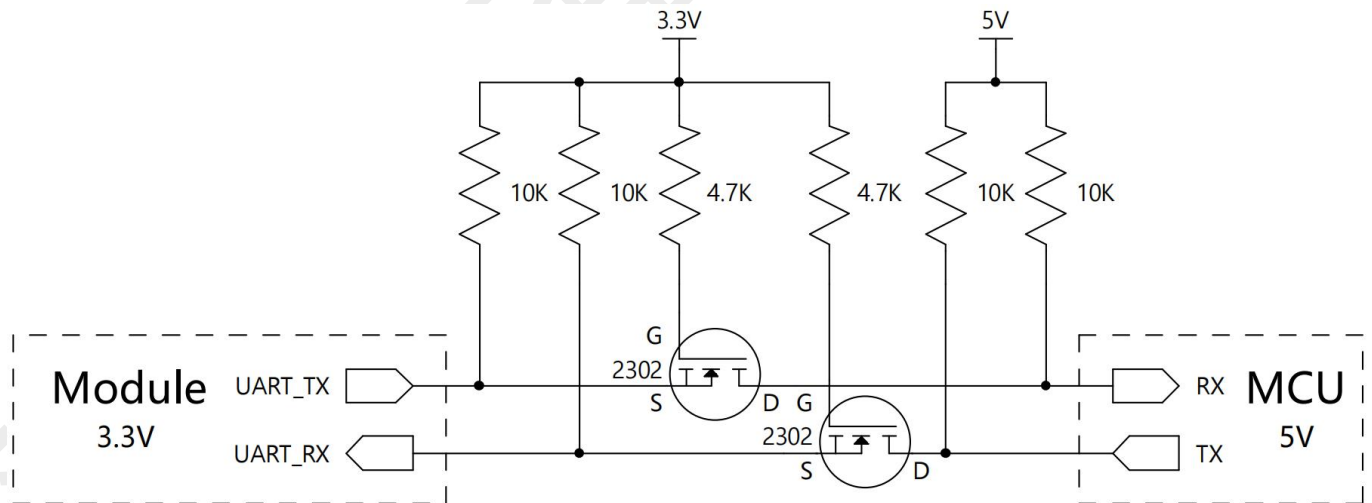


图 17: 串口电平转换参考电路

3. 电气特性、射频特性和可靠性

3.1. 最大额定值

超过绝对最大额定值的压力可能会对设备造成永久性损坏。这些仅是应力额定值，因此不暗示设备在这些或超出说明书操作部分所指示的任何其他条件下的功能操作。长时间暴露在绝对最大额定值条件下可能会影响设备的可靠性。

表 5: 绝对最大额定值表

| 参数 | 最小值 | 最大值 | 单位 |
|------------------|------|------|----|
| VBAT | -0.2 | 5.5 | V |
| I/O 电源电压 (VDDIO) | -0.2 | 3.7 | V |
| 储存温度范围 | -40 | +125 | °C |

表 6: 推荐使用条件

| 参数 | 最小值 | 典型值 | 最大值 | 单位 |
|------------------|-----|-----|-----|----|
| VBAT | 3.3 | 5 | 5.5 | V |
| I/O 电源电压 (VDDIO) | 3 | 3.3 | 3.7 | V |
| 工作温度范围(TA) | -40 | +25 | +85 | °C |

3.2. 静电防护

在模块应用中，由于人体静电、微电子间带电摩擦等产生的静电，通过各种途径放电给模块，可能会对模块造成一定的损坏，因此 ESD 防护应该受到重视。在研发、生产组装和测试等过程中，尤其在产品设计中，均应采取 ESD 防护措施。例如，在电路设计的接口处以及易受静电放电损伤或影响的点，应增加防静电保护，生产中应佩戴防静电手套等。

表 7: 模块引脚的 ESD 耐受电压情况表

| 测试接口 | 接触放电 | 空气放电 | 单位 |
|------------|------|------|----|
| VBAT 和 GND | +4 | +8 | kV |
| 主天线接口 | +2.5 | +4 | kV |



4. 机械尺寸及布局建议

4.1. 模块机械尺寸

本节描述了模块的机械尺寸，所有的尺寸单位为毫米；所有未标注公差尺寸，公差为 ± 0.3 mm。

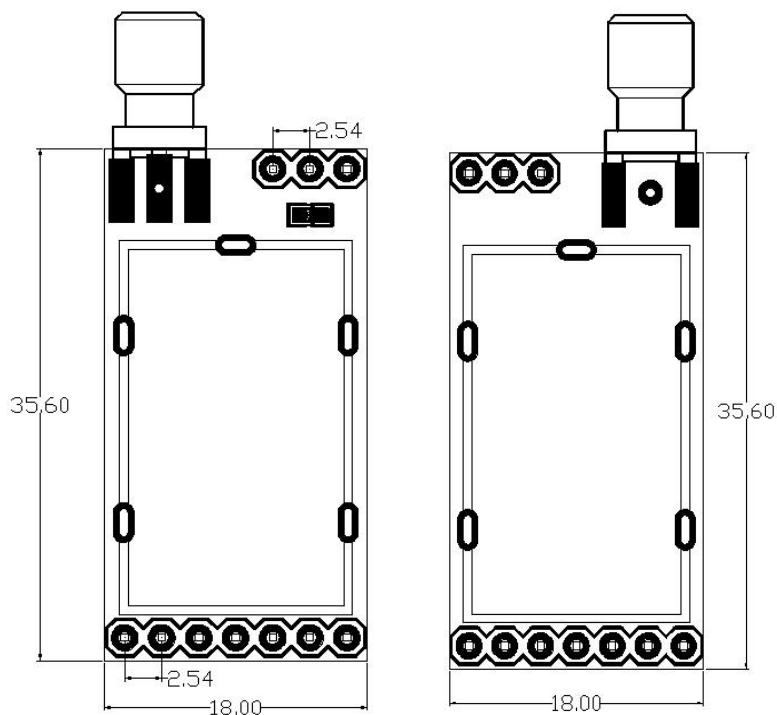


图 18: 建议封装尺寸俯视及底视图

4.2. 模块俯视图/底视图



图 19: 模块俯视图和底视图

备注:

上图仅供参考，实际的产品外观和标签信息，请参照模块实物。

4.3. 硬件设计布局建议

DX-LR02-433T22D 模块工作在 SUB-G 无线频段，使用的是外接天线，天线的驻波比(VSWR)和效率取决于贴片位置，应尽量避免各种因素对无线收发信号的影响，注意以下几点：

- 1、包围 LR02-433T22D 的产品外壳避免使用金属，当使用部分金属外壳时，应尽量让模块天线部分远离金属部分。产品内部金属连接线或者金属螺钉，应尽量远离模块天线部分。
- 2、模块天线部分应靠载板 PCB 边缘放置或直接露出载板，尽量不要放置于板中间。
- 3、建议在基板上的模块贴装位置使用绝缘材料进行隔离，例如在该位置放一个整块的丝印 (TopOverLay) 。



5. 储存和包装

5.1. 存储条件

模块以真空密封袋的形式出货。模块的湿度敏感等级为 3 (MSL 3) , 其存储需遵循如下条件:

1. 推荐存储条件: 温度 $23\pm 5^{\circ}\text{C}$, 且相对湿度为 35~60%。

2. 在推荐存储条件下, 模块可在真空密封袋中存放 12 个月。

3. 在温度为 $23\pm 5^{\circ}\text{C}$ 、相对湿度低于 60%的车间条件下, 模块拆封后的车间寿命为 168 小时。在此条件下, 可直接对模块进行回流生产或其他高温操作。否则, 需要将模块存储于相对湿度小于 10 %的环境中 (例如, 防潮柜) 以保持模块的干燥。

4. 若模块处于如下条件, 需要对模块进行预烘烤处理以防止模块吸湿受潮再高温焊接后出现的 PCB 起泡、裂痕和分层:

- 存储温湿度不符合推荐存储条件
- 模块拆封后未能根据以上第 3 条完成生产或存放
- 真空包装漏气、物料散装
- 模块返修前

5.2. 包装规格

DX-LR02-433T22D 模块采用托盘包装, 并用真空密封袋将其封装, 真空密封袋中带有干燥剂和湿度卡。每个载带尺寸为 $260*150*21.5$ (单位: mm), 包含 20 个模块。具体规格如下:

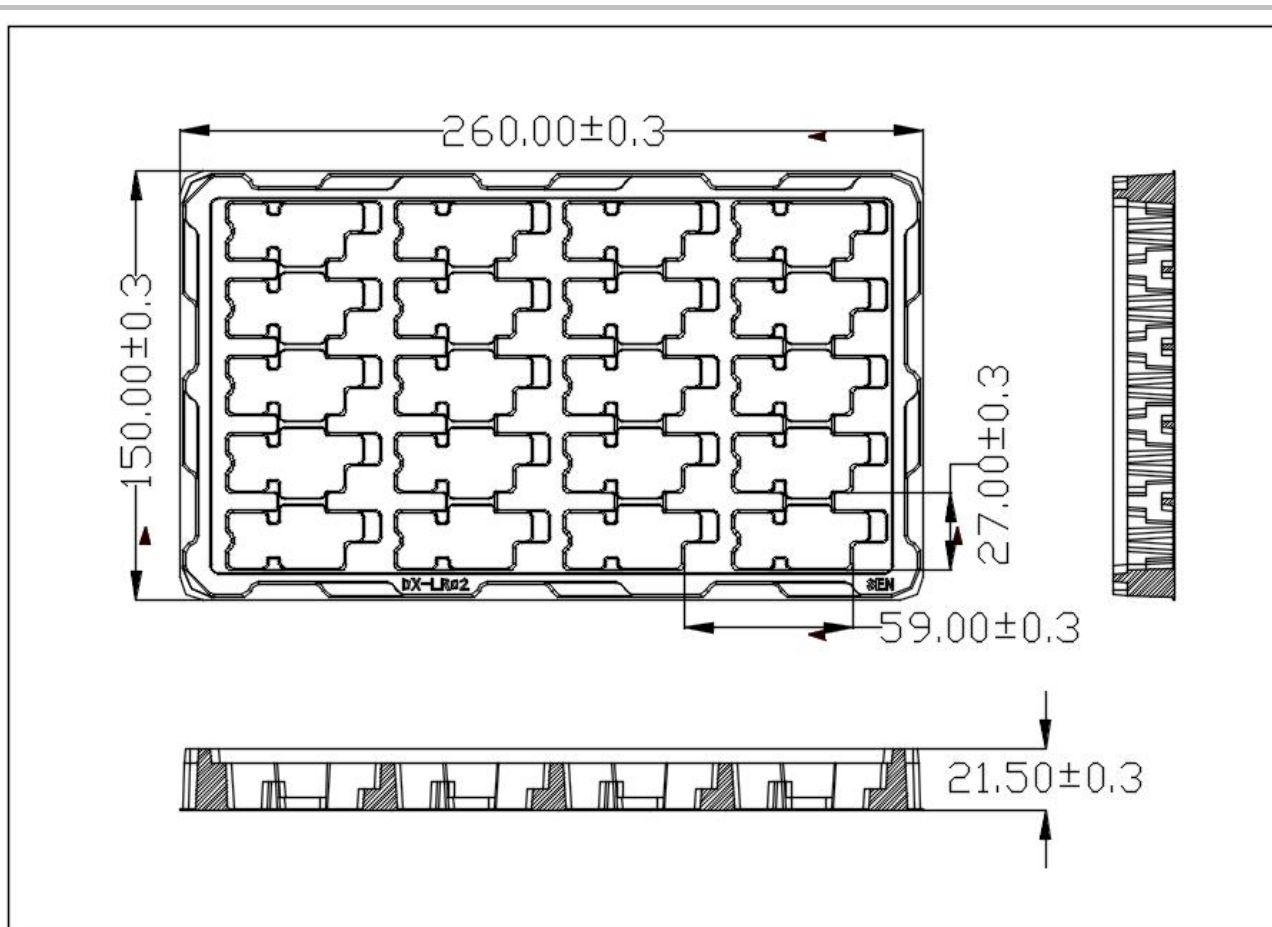


图 20: 托盘尺寸 (单位: 毫米)